
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 000040109 A
(43)Date of publication of application: 05.07.2000

(21)Application number: 980055661
(22)Date of filing: 17.12.1998

(71)Applicant: HYUNDAI ELECTRONICS
IND. CO., LTD.
(72)Inventor: KIM, HYEON SU

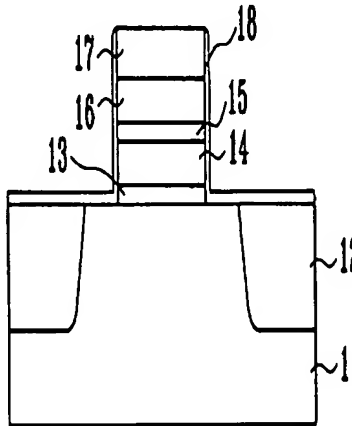
(51)Int. Cl. H01L 21/31

(54) METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method of manufacturing a semiconductor device is to facilitate the re-oxidation of a gate after the formation of the gate using a tungsten film.

CONSTITUTION: A method of manufacturing a semiconductor device comprises the steps of: laminating on a semiconductor substrate(11) a gate oxide film(13), a silicon film(14), a barrier metallic film(15), a tungsten film(16) and a mask insulating film(17) in this order; patterning the mask insulating film, the tungsten film, the barrier metallic film, the silicon film and the gate oxide film to form a gate; heat-treating the substrate thus obtained to form a nitride film on a side wall of the gate; and re-oxidizing the substrate to form an oxidation film(18) on the side wall of the gate and on an exposed surface of the substrate.



COPYRIGHT 2000 KIPO

Legal Status

Final disposal of an application (application)

출력 일자: 2004/8/17

발송번호 : 9-5-2004-033356190
발송일자 : 2004.08.16
제출기일 : 2004.10.16

수신 : 서울 서초구 서초3동 1571-18 청화빌딩 2
층(리&목특허법률사무소)
이영필 귀하

137-874

특허청 의견제출통지서

2004. 8. 17

출원인 명칭 삼성전자주식회사 (출원인코드: 119981042713)
주소 경기도 수원시 영통구 매탄동 416
대리인 성명 이영필
주소 서울 서초구 서초3동 1571-18 청화빌딩 2층(리&목특허법률사무소)
출원번호 10-2002-0039834
발명의 명칭 실리콘옥사이드층을 포함하는 반도체소자의 제조방법

이 출원에 대한 심사결과 아래와 같은 거절이유가 있어 특허법 제63조의 규정에 의하여 이를 통지 하오니 의견이 있거나 보정이 필요할 경우에는 상기 제출기일까지 의견서[특허법시행규칙 별지 제 25호의2서식] 또는/및 보정서[특허법시행규칙 별지 제5호서식]를 제출하여 주시기 바랍니다.(상기 제출기일에 대하여 매회 1월 단위로 연장을 신청할 수 있으며, 이 신청에 대하여 별도의 기간연장 승인통지는 하지 않습니다.)

[이유]

이 출원은 특허청구범위의 기재가 아래에 지적한 바와 같이 불비하여 특허법 제42조제4항제3호의 규정에 의한 요건을 충족하지 못하므로 특허를 받을 수 없습니다.

- 아 래 -

본원의 청구범위 제1항은 반도체소자의 제조방법에 관한 것으로, 본원발명을 이루고자 하는 필수기술수단인 도전층 물질층의 형태가 구체적으로 기재되지 않아 그 발명이 명확하게 기재되어 있다고 볼 수 없습니다. 끝.

이 출원의 특허청구범위 제2항에 기재된 발명은 그 출원전에 이 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 아래에 지적한 것에 의하여 용이하게 발명할 수 있는 것이므로 특허법 제29조 제2항의 규정에 의하여 특허를 받을 수 없습니다.

- 아 래 -

본원의 청구범위 제2항은 반도체소자의 제조방법에 관한 것으로, 본원발명의 기술수단은 게이트 패턴을 질소분위기 가스에 투입한 후, 실리콘 소오스 가스와 산소 소오스 가스를 투입하여 실리콘 옥사이드층을 증착하는 것이 특징이나, 이는 인용참증(한국공개특허공보 2000-40109 : 2000.7.5)의 게이트 패턴을 NH3 가스로 열처리한 후, 재산화시키는 반도체소자의 제조방법으로부터 당업자라면 누구나 예측가능한 기술일 뿐 그 기술수단에 대한 각별한 곤란성이 있다거나 이로 인한 작용효과가 인용참증으로부터 예측되는 효과 이상의 새로운 상승효과가 있다고 보기 어려우므로 이는 당해 기술분야에서 통상의 지식을 가진 자에 의해 용이하게 발명될 수 있는 것입니다.

[첨부]

첨부1 : 인용참증(한국공개특허공보 2000-40109) 1부. 끝.

출력 일자: 2004/8/17

2004.08.16

특허청

전기전자심사국

반도체심사담당관실

심사관 정회환



<<안내>>

문의사항이 있으시면 ☎ 042-481-5725 로 문의하시기 바랍니다.

특허청 직원 모두는 깨끗한 특허행정의 구현을 위하여 최선을 다하고 있습니다. 만일 업무처리과정에서 직원의 부조리행위가 있으면 신고하여 주시기 바랍니다.

▶ 홈페이지(www.kipo.go.kr)내 부조리신고센터

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁶
H01L 21/31(11) 공개번호 특2000-0040109
(43) 공개일자 2000년07월05일

(21) 출원번호	10-1998-0055661
(22) 출원일자	1998년12월17일
(71) 출원인	현대전자산업 주식회사 김영환
	경기도 이천시 부발읍 아미리 산 136-1
(72) 발명자	김현수
	대구광역시 달서구 감삼동 48-7번지
(74) 대리인	최홍순

심사청구 : 없음

(54) 반도체 소자의 제조방법

요약

본 발명은 텅스텐막을 이용한 게이트의 형성 후 게이트의 재산화를 용이하게 할 수 있는 반도체 소자의 제조방법을 제공한다.

본 발명에 따른 반도체 소자의 제조방법은 반도체 기판 상에 게이트 산화막, 실리콘막, 배리어 금속막, 텅스텐막, 및 마스크 절연막을 순차적으로 적층하는 단계; 마스크 절연막, 텅스텐막, 배리어 금속막, 실리콘막, 게이트 산화막을 패터닝하여 게이트를 형성하는 단계; 결과물 구조의 기판을 열처리하여 게이트의 측벽에 질화막을 형성하는 단계; 및, 결과물 구조의 기판을 재산화하여 게이트의 측벽 및 노출된 기판 표면에 산화막을 형성하는 단계를 포함하는 것을 특징으로 한다. 본 발명의 실시예에서, 열처리는 NH_3 개스 분위기에서 제 1 열처리한 후 연속적으로 N_2 분위기에서 제 2 열처리한다. 또한, 제 1 및 제 2 열처리는 500 내지 1,000°C의 온도에서 진행한다.

도표도

도2d

명세서

도면의 간단한 설명

도 1은 종래의 반도체 소자의 제조방법을 설명하기 위한 단면도.

도 2a 내지 도 2d는 본 발명의 실시예에 따른 반도체 소자의 제조방법을 설명하기 위한 단면도.

(도면의 주요 부분에 대한 부호의 설명)

11 : 반도체 기판	12 : 소자 분리막
13 : 게이트 산화막	14 : 실리콘막
15 : 배리어 금속막	16 : 텅스텐막
17 : 마스크 절연막	18 : 산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 텅스텐막을 이용한 고집적 반도체 소자의 게이트 형성방법에 관한 것이다.

일반적으로, 게이트는 MOS 트랜지스터를 선택팅하는 전극으로서, 낮은 면저항 값을 갖는 것이 중요하다. 이에 대하여, 고집적 반도체 소자에서는 게이트 물질로서 도핑된 실리콘막 상부에 텅스텐막을 적층하여 형성하였다.

도 1은 게이트 물질로서 텅스텐막을 적용한 종래의 반도체 소자의 제조방법을 설명하기 위한 단면도이다. 도 1을 참조하면, 반도체 기판(1) 상에 소자분리막(2)을 형성하고, 기판 전면에 게이트 산화막(3) 및 불순물이 도핑된 실리콘막(4)을 순차적으로 형성한다. 그런 다음, 실리콘막(4) 상에 이후 형성될 텅스텐막

의 형성시 불소원자의 침투를 방지하기 위하여 배리어 금속막(5)을 형성한다.

배리어 금속막(5) 상부에 텅스텐막(6a)을 형성하고, 텅스텐막(6a) 상에 금속의 반사를 방지하기 위하여 마스크 절연막(7)을 형성한다. 그런 다음, 마스크 절연막(7), 텅스텐막(6a), 배리어 금속막(5), 실리콘막(4), 및 게이트 산화막(3)을 식각하여, 게이트를 형성한다. 그리고 나서, 게이트 형성을 위한 식각 공정시, 막을 표면에 발생된 데미지(damage) 및 식각 잔재물을 제거하고, 게이트 산화막(3)의 신뢰성을 회복하기 위하여, 재산화(re-oxidation)공정을 진행하며, 기판 표면에 산화막(8)을 형성한다.

본 발명이 이루고자하는 기술적 과제

그러나, 상기한 재산화 공정시 텅스텐막(6a)의 산화속도가 실리콘보다 현저하게 빠르기 때문에, 재산화 공정후 텅스텐막(6a)이 도 1에 도시된 바와 같은 형상으로 형성되므로, 실질적으로 재산화 공정을 진행하기가 어렵다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로서, 텅스텐막을 이용한 게이트의 형성후 재산화를 용이하게 진행할 수 있는 반도체 소자의 제조방법을 제공함에 그 목적이 있다.

본 발명의 구성 및 작용

상기한 목적을 달성하기 위한 본 발명에 따른 반도체 소자의 제조방법은 반도체 기판 상에 게이트 산화막, 실리콘막, 배리어 금속막, 텅스텐막, 및 마스크 절연막을 순차적으로 적층하는 단계; 마스크 절연막, 텅스텐막, 배리어 금속막, 실리콘막, 게이트 산화막을 패터닝하여 게이트를 형성하는 단계; 결과를 구조의 기판을 열처리하여 게이트의 측벽에 질화막을 형성하는 단계; 및, 결과를 구조의 기판을 재산화하여 게이트의 측벽 및 노출된 기판 표면에 산화막을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명의 실시예에서, 열처리는 NH_3 개스 분위기에서 제 1 열처리한 후 연속적으로 N_2 분위기에서 제 2 열처리한다. 또한, 제 1 및 제 2 열처리는 500 내지 1,000°C의 온도에서 진행한다.

이하, 첨부된 도면을 참조하여 본 발명의 실시예를 설명한다.

도 2a 내지 도 2d는 본 발명의 실시예에 따라 게이트 물질로서 텅스텐막을 적용한 반도체 소자의 제조방법을 설명하기 위한 단면도이다.

도 2a를 참조하면, 반도체 기판(11) 상에 공지된 방법으로 소자간 분리를 위한 소자분리막(12)을 형성한다. 그런 다음, 도 2b에 도시된 바와 같이, 기판 전면에 열성장 또는 증착방식으로 게이트 산화막(13)을 20 내지 100Å의 두께로 형성하고, 게이트 산화막(13) 상에 불순물이 도핑된 실리콘막(14)을 500 내지 1,000Å의 두께로 형성한다.

도 2c를 참조하면, 실리콘막(14) 상에 이후 형성될 텅스텐막의 형성시 불소원자의 침투를 방지하기 위한 배리어 금속막(15)과, 텅스텐막(16)을 스퍼터링 방식으로 연속적으로 형성한다. 여기서, 배리어 금속막(15)은 티타늄 질화막(TiN) 또는 텅스텐 질화막(WN)으로 10 내지 500Å의 두께로 형성하고, 텅스텐막(16)은 100 내지 2,000Å의 두께로 형성한다. 그런 다음, 텅스텐막(16) 상에 금속의 반사를 방지하기 위하여 마스크 절연막(17)을 형성한다. 여기서, 마스크 절연막(17)은 산화막 또는 질화막을 1,000 내지 2,000Å의 두께로 형성한다.

도 2d를 참조하면, 마스크 절연막(17), 텅스텐막(16), 배리어 금속막(15), 실리콘막(14) 및 게이트 산화막(13)을 식각하여 게이트를 형성한다. 그런 다음, NH_3 개스 분위기에서 제 1 열처리를 진행하여 게이트의 측벽에 질화막(WN; 미도시)을 형성하고, 연속적으로 N_2 분위기에서 제 2 열처리를 진행한다. 바람직하게, 제 1 및 제 2 열처리는 각각 500 내지 1,000°C의 온도에서 진행한다. 즉, 제 1 열처리에 의해 게이트 측벽에 형성된 질화막에 의해 텅스텐막(16)의 산화 저항성이 급격히 증가된다.

그리고 나서, 게이트 형성을 위한 식각공정시, 막들 표면에 발생된 데미지 및 식각 잔재물을 제거하고, 게이트 산화막(13)의 신뢰성을 회복하기 위하여, 게이트의 재산화(re-oxidation) 공정을 진행하며, 게이트 측벽 및 노출된 기판 표면에 산화막(18)을 형성한다. 이때, 산화막(18)은 10 내지 100Å의 두께로 형성한다.

본 발명의 효과

상기한 본 발명에 의하면, 게이트의 재산화 전에 질소를 이용한 열처리 공정을 진행하여 게이트의 측벽에 질화막을 형성함으로써, 텅스텐막의 산화 저항성이 증가된다. 이에 따라, 게이트의 재산화가 용이해지므로, 게이트 산화막의 신뢰성이 향상될 뿐만 아니라 데미지 및 식각 잔재를 제거되어, 결국 소자의 신뢰성이 향상된다.

또한, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 요지를 벗어나지 않는 범위내에서 다양하게 변형시켜 실시할 수 있다.

(57) 청구의 범위

청구항 1. 반도체 기판 상에 게이트 산화막, 실리콘막, 배리어 금속막, 텅스텐막, 및 마스크 절연막을 순차적으로 적층하는 단계;

상기 마스크 절연막, 텅스텐막, 배리어 금속막, 실리콘막, 게이트 산화막을 패터닝하여 게이트를 형성하는 단계;

상기 결과를 구조의 기판을 열처리하여 상기 게이트의 측벽에 질화막을 형성하는 단계; 및,

상기 결과물 구조의 기판을 재산화하여 상기 게이트의 측벽 및 노출된 기판 표면에 산화막을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 2. 제 1 항에 있어서, 상기 열처리는 NH_3 개스 분위기에서 제 1 열처리한 후 연속적으로 N_2 분위기에서 제 2 열처리하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 3. 제 2 항에 있어서, 상기 제 1 및 제 2 열처리는 500 내지 1,000℃의 온도에서 진행하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 4. 제 1 항에 있어서, 상기 배리어 금속막 및 텅스텐막은 스퍼터링 방식으로 연속적으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

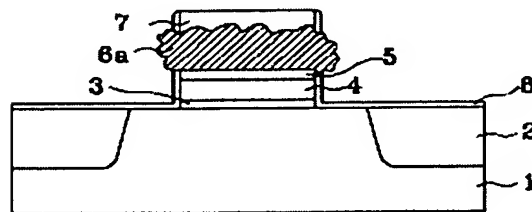
청구항 5. 제 4 항에 있어서, 상기 배리어 금속막은 티타늄 질화막 또는 텅스텐 질화막으로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 6. 제 5 항에 있어서, 상기 배리어 금속막은 10 내지 500 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

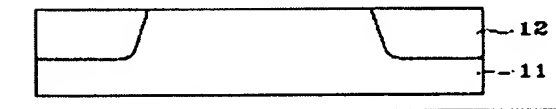
청구항 7. 제 1 항에 있어서, 상기 산화막은 10 내지 100 Å의 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조방법.

도면

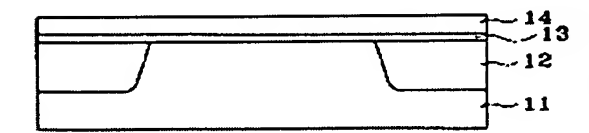
도면1



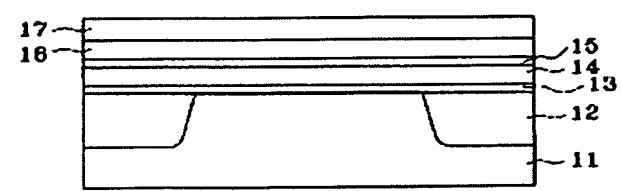
도면2a



도면2b



도면2c



도면28

